

[Partial English translation of JPA 3-143160, page 366,
right column, lines 28 to page 367, left column, line
5.]

5 Fig. 3 is a diagram for explaining an example for
realizing the pixel density same as the conventional
pixel density. In this case, the characteristic of the
circuit configuration shown in Fig. 3 is that the
feedback inverter provided in the D latch is shorted by
10 C. The operation of the shorted circuit greatly
differs from the operation of the circuit shown in Fig.
1 in that the output Q is constantly fixed to high (\bar{Q}
is constantly fixed to low) because the data input D
and the output Q is shorted in the D latch. More
15 specifically, the input signal of one (A) of the two
AND circuits provided for each stage of the shift
register is constantly fixed to high, and the output Q_1
from the shift register is directly outputted to Q_2 ,
which makes the circuit shown in Fig. 3 equivalent to
20 the conventional driving circuit shown in Fig. 4.
Accordingly, the time chart also becomes the same as
the one shown in Fig. 5. Therefore, by connecting an
analog switch only to the odd-numbered transfer gates
by masking in a sensor making step, it is possible to
25 drive in the conventional pixel density.

This Page Blank (uspto)

(19)



JAPANESE PATENT OFFICE

JPA 3-143160

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03143160 A**(43) Date of publication of application: **18.06.91**

(51) Int. Cl

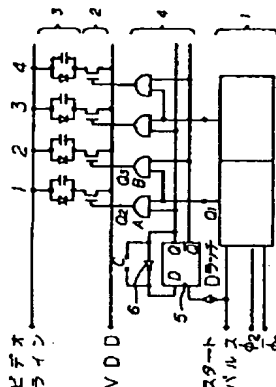
H04N 1/028**H04N 1/04**(21) Application number: **01282686**(71) Applicant: **RICOH CO LTD**(22) Date of filing: **30.10.89**(72) Inventor: **WATANABE HIROBUMI**(54) **SENSOR DRIVING CIRCUIT**

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To drive two types of sensors different in picture element density by constituting of a shift register, an AND circuit or a NAND circuit and a D latch, and selecting and driving certain picture element density and doubled picture density thereof depending on whether or not a part of the D latch is cut.

CONSTITUTION: When the outputs of a shift register are sequentially issued after a first start pulse is inputted, odd-numbered sensor bits are sequentially turned on through odd-numbered AND/analog switches. When a second start pulse is inputted, the logic of the outputs Q, Q of a D latch is inverted and even-numbered AND outputs become high, so that even-numbered sensor bits are sequentially turned on. According to the above construction, the sensor bits having the number of bits doubled the number of stages of the shift register can be driven. Then, a feedback inverter provided in the D latch is shorted by C. The output Q is constantly fixed to a high level. Thus, the conventional picture element density can be driven.



⑫ 公開特許公報(A)

平3-143160

⑤ Int. Cl.⁵H 04 N 1/028
1/04

識別記号

1 0 3 A
Z

庁内整理番号

9070-5C
7037-5C

⑬ 公開 平成3年(1991)6月18日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 センサ駆動回路

⑯ 特 願 平1-282686

⑰ 出 願 平1(1989)10月30日

⑱ 発 明 者 渡 辺 博 文 東京都大田区中馬込1丁目3番6号 株式会社リコー内
⑲ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号
⑳ 代 理 人 弁 理 士 高 野 明 近 外 1 名

明 細 書

1. 発明の名称

センサ駆動回路

2. 特許請求の範囲

1. イメージセンサ等の駆動回路に於いて、シフトレジスタとAND回路又はNAND回路とDラッチとから構成され、前記センサを前記シフトレジスタとDラッチとで制御される前記アナログスイッチで充電し、その時の充電電流をビデオセンサとして取り出すセンサ駆動回路において、前記Dラッチの一部を切断するか否かで、ある画素密度とその倍の画素密度を選択して前記センサを駆動できるようにしたことを特徴とするセンサ駆動回路。

3. 発明の詳細な説明

技術分野

本発明は、センサ駆動回路に関し、より詳細には、等倍センサの駆動回路に関する。

従来技術

第4図は、従来のセンサ駆動回路一体型等倍

センサの駆動回路を示す図、第5図は、その動作を示すためのタイムチャートで、図中、1はシフトレジスタ、2はアナログスイッチ、3はセンサで、図示のように、従来のセンサ駆動回路一体型等倍センサの駆動回路は、シフトレジスタ1段からの1出力がセンサ1ビットに対応している為、センサ3のビット数とシフトレジスタ1の段数が等しく設計されていた。この駆動方式で、センサ3の画素密度を倍にしようとする、シフトレジスタ1の段数も倍になり、プロセスのフォトマスクを全て倍画素密度用として新規作成する必要がある。

目 的

本発明は、上述のごとき実情に鑑みてなされたもので、特に、駆動回路部のフォトマスクをわずかな修正をすることにより、従来の画素密度のものと、従来の倍画素密度のものを並用して使用できる様な駆動回路を提供することを目的としてなされたものである。

経 成

本発明は、上記目的を達成するために、イメージセンサ等の駆動回路に於いて、シフトレジスタとAND回路又はNAND回路とDラッチとから構成され、Dラッチの一部を切断するか否かで、ある画素密度とその倍の画素密度を選択して駆動できることを特徴としたものである。すなわち、シフトレジスタとAND回路とDラッチから構成された等倍センサの駆動回路に於いて、Dラッチに設けた帰還用インバーターを短絡しない場合、AND回路への入力信号がシフトレジスタのスタートパルスに同期してhigh又はlowとなることで奇数番目のセンサビットを順次オンした後、偶数番目のセンサビットを順次オンして従来の倍の画素密度のセンサが駆動でき、帰還用インバーターを短絡した場合AND回路の入力信号がhigh又はlowに固定され、従来の画素密度のセンサの駆動ができることを特徴とする駆動回路である。以下、本発明の実施例に基づいて説明する。

第1図は、本発明による駆動回路の一実施例を説明するための図で、図中、1はシフトレジスタ、

が入力されたとき、 Q 、 \overline{Q} をそれぞれhigh、lowに保持し、第2のスタートパルスが入力されると Q 、 \overline{Q} をそれぞれlow、highに保持する。

以上の様に構成することにより、第1のスタートパルスが入力されてからシフトレジスタの出力が順次出るに従って、奇数番目のAND/アナログスイッチを介して奇数番目のセンサビットが順次オンされる。次に第2のスタートパルスが入力したときDラッチの出力 Q 、 \overline{Q} の論理が反転し、偶数番目のANDの出力がhighとなる為、偶数番目のセンサビットが順次オンされる。以上の構成からシフトレジスタの段数の倍のビット数のセンサビットを駆動可能となった。

上述のように、本発明の特徴の1つは、ビデオセンサ出力を奇数ビット、偶数ビットのセンサ出力を時系列で分離してシリアル信号として出力していることにある。

すなわち、第5図は、第4図に示した従来技術で、8dpmのAサイズ(1728dot/line)の

2はアナログスイッチ、3はセンサ、4はAND又はNAND回路で、第4図に示した従来技術と同様、ビット分割されたフォトダイオード型のセンサをMOSTからなるアナログスイッチで充電し、その時の充電電流をビデオ信号としてとり出す方式のセンサで、最初、従来の倍の画素密度の場合について説明するが、この場合の特徴は、第1図の回路構成において、Dラッチ回路5に設けた帰還用インバータ6がCにて示す部分で短絡されていない点にある。

第2図は、第1図に示した回路の動作説明をするためのタイミングチャートで、第1図において、シフトレジスタ1段からの出力 Q_1 は、2個のAND回路A、Bに入力される。AND回路Aは Q_1 とDラッチの出力 Q が入力信号で、出力 Q_2 が奇数ビット目のセンサのアナログスイッチに接続される。同様に、AND回路Bは Q_1 と \overline{Q} が入力信号で、出力 Q_3 は偶数ビットのセンサのアナログスイッチに接続される。Dラッチはスタートパルス信号を入力とし、最初のスタートパルス

タイミングチャートであるのに対し、第2図は、同じ段数のシフトレジスタで倍密度の16dpm(Aサイズで3456dot/line)の場合である。なお、1ライン当りの読み取り時間を8dpmと16dpmで同じにしようとした場合、クロックは、8dpmに比べ16dpmが倍の周波数($\phi_2 = 2\phi_1$)が必要である。

第3図は、従来の画素密度と同じ画素密度とする場合の例を説明するための図で、この場合の特徴は、第3図の回路構成において、Dラッチに設けた帰還用インバータがCにて示す部分で短絡されていることである。この短絡回路の動作が第1図に示した回路の動作と大きく異なる所は、Dラッチでデータ入力Dと出力 Q が短絡している為、出力 Q は常時high(\overline{Q} は常時low)に固定されることである。即ち、シフトレジスタ1段について2個設けられたAND回路の1つ(A)の入力信号は常時highだからシフトレジスタからの出力 Q_1 はそのまま Q_2 に出力され第4図に示した従来の駆動回路と等価となり、従って、タ

イムチャートも第5図のタイムチャートと同じになる。従って、センサ作成工程のマスクでアナログスイッチを奇数番目のトランスファークートとのみ接続することにより従来の画素密度の駆動が可能である。

効 果

以上の説明から明らかなように、本発明による駆動回路方式では、Dラッチに設けた帰還用インバータを短絡するか否かで、ある画素密度とその倍の画素密度を選択して駆動できるので、フォトマスクをわずかに修正するだけで画素密度の異なる二種類のセンサを駆動できる駆動回路が得られる利点がある。

4. 図面の簡単な説明

第1図は、本発明による駆動回路の倍画素密度時の一例を説明するための構成図、第2図は、本発明の動作説明をするためのタイムチャート、第3図は、本発明による駆動回路の等倍画素密度時の一例を示す図、第4図は、従来の駆動回路の構成を説明するための図、第5図は、その動作説明

をするためのタイムチャートである。

- 1…シフトレジスタ、2…アナログスイッチ、
3…センサ、4…AND又はNAND回路、5…
Dラッチ回路、6…帰還用インバータ。

特許出願人 株式会社 リ コ ー
代 理 人 高 野 明 近
(ほか1名)



FIG.1 第 1 図

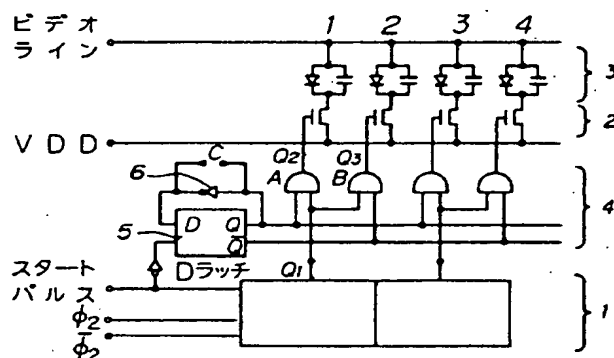
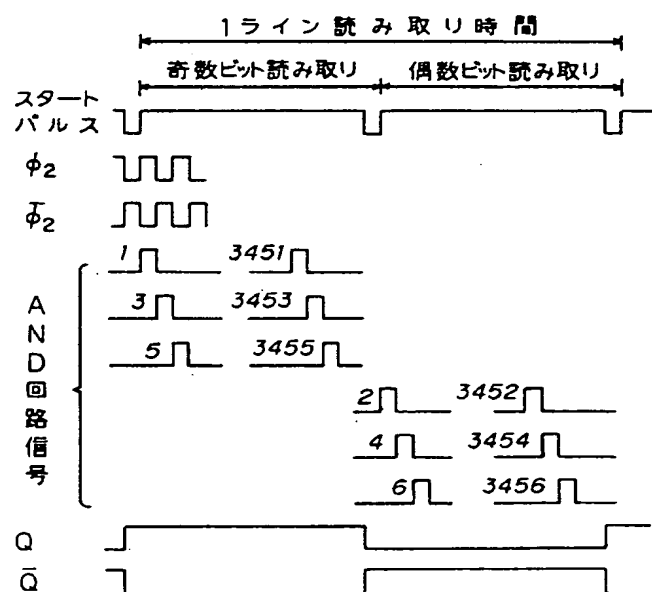
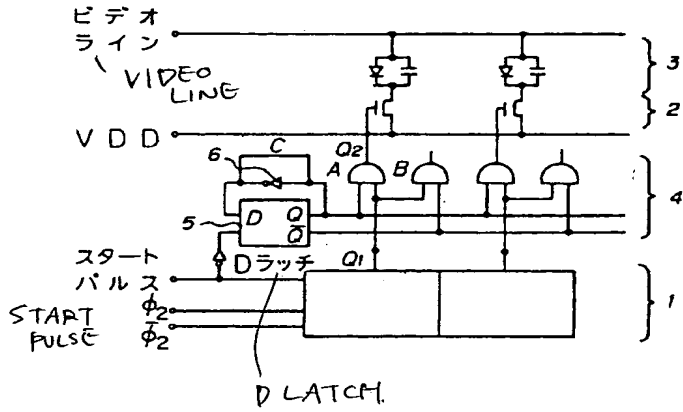


FIG.2 第 2 図



第 3 図 FIG.3



第 4 図 FIG.4

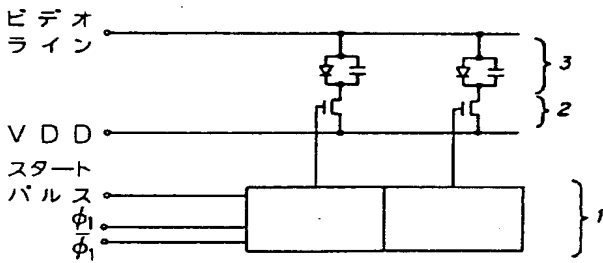


FIG.5

第 5 図

